

Family list

1 family member for: **JP6289424**
Derived from 1 application

1 TRANSMISSION TYPE DISPLAY DEVICE

Inventor: HOSOMI YUKIHIRO

Applicant: SANYO ELECTRIC CO

EC:

IPC: G02F1/136; G02F1/1368; G02F1/163 (+15)

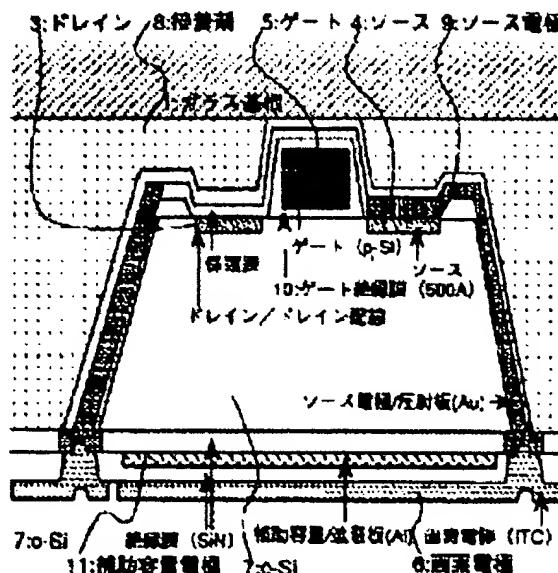
Publication info: JP6289424 A - 1994-10-18

Data supplied from the *esp@cenet* database - Worldwide

Patent number: JP6289424
Publication date: 1994-10-18
Inventor: HOSOMI YUKIHIRO
Applicant: SANYO ELECTRIC CO
Classification:
- international: *G02F1/136; G02F1/136B; G02F1/163; H01L21/02; H01L21/336; H01L27/12; H01L29/78; H01L29/78B; G02F1/01; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; G02F1/163; H01L21/336; H01L27/12; H01L29/78A*
- european:
Application number: JP19930076972 19930402
Priority number(s): JP19930076972 19930402

Abstract of JP6289424

PURPOSE: To improve productivity by using a c-Si substrate provided with recesses in the parts corresponding to pixel electrodes and connecting the sources of FETs to the pixel electrodes by the metallic films in the flank parts of the c-Si corresponding to the pixel electrode parts. **CONSTITUTION:** The c-Si (single crystal or polycrystalline silicon) substrate having (100) faces on its surfaces is subjected to anisotropic etching, by which tapered apertures are obtained therein. Metal connecting the sources 4 of the FETs and the pixel electrodes 6 are deposited by evaporation on the flanks of the apertures. The drains 3 of the FETs and drain lines of a flush type are aligned in order to obtain a high opening rate. Auxiliary capacitance electrodes 11 are formed on the rear surface of the parts where the FETs are formed. Further, the drains 3 and sources 4 of the n++ type layer of the FETs consisting of the c-Si are formed in a self-alignment manner. The recesses having about 54 deg. angle are obtained on the substrate flanks by subjecting the c-Si substrate after the formation of the sources to anisotropic etching. This c-Si substrate 7 is adhered to a glass substrate 1 by an adhesive 8 to reduce the thickness. The pixel electrodes 6 are formed on the rear surface.



(11)特許出願公開番号

特開平6-289424

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9119-2K		
1/163		7408-2K		
H 0 1 L 27/12	B			
21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		審査請求 未請求 請求項の数13	Q L (全 7 頁)	最終頁に続く

(21)出願番号 特願平5-76972

(22)出願日 平成5年(1993)4月2日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72)発明者 細見・幸弘

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

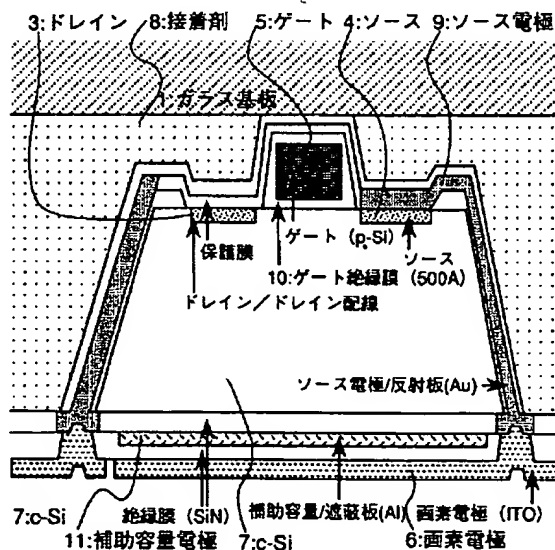
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 透過型表示装置

(57) 【要約】

【目的】 安価なガラス基板上に高速な単結晶シリコン製のMOS-FETマトリクスを形成するアクティブマトリクス型液晶表示装置を製造する。

【構成】 表面にFETマトリクスとリセスが形成されたシリコン基板を、ガラス基板に接着し、その後、シリコンウェハをラッピングにより薄板化し、かつリセス部を光が通過できる開口部にし、露出した開口部の側面の金属膜に画素電極を電気的に接続する一方、シリコンウェハの裏面に金属製の補助容量電極を形成して液晶表示装置のアクティブマトリクス基板とする。



【特許請求の範囲】

【請求項1】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、FETのソースが画素電極部に対応するc-Si側面部の金属膜で画素電極に接続されていることを特徴とする透過型表示装置。

【請求項2】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、補助容量がc-Si基板の裏面に形成されていることを特徴とする透過型表示装置。

【請求項3】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、FETのドレイン電極部がドレインラインに包含されていることを特徴とする透過型表示装置。

【請求項4】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、開口部がc-Si基板の画素電極部に形成されていることを特徴とする透過型表示装置。

【請求項5】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、(100)面のc-Si基板にリセスが形成されていることを特徴とする透過型表示装置。

【請求項6】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、開口部が表面に対して順テーパに形成されていることを特徴とする透過型表示装置。

【請求項7】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、開口部がc-Si基板の表面に対してテーパを有することを特徴とする透過型表示装置。

【請求項8】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、ソース電極が画素電極の周囲に環状に配置されていることを特徴とする透過型表示装置。

【請求項9】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、ソース電極がc-Si基板の表面から裏面に延長されていることを特徴とする透過型表示装置。

【請求項10】 表面にあらかじめFETマトリクスが形成され、且つ画素電極に対応する部分にリセスを有するc-Si基板を用いた、透過型表示装置において、ド

レインラインがc-Si基板の表面に埋め込まれていることを特徴とする透過型表示装置。

【請求項11】 c-Si基板の表面にリセス及びFETマトリクスを形成する工程と、ソース電極をc-Si基板のFETのソースからc-Si基板のリセスの斜面まで形成する工程と、透明基板に透明接着剤を用いてc-Si基板の表面を貼る工程と、c-Si基板を裏面から薄板化してc-Si基板の表面のリセスを開口部とする工程と、c-Si基板の裏面に補助容量電極を形成する工程と、補助容量用絶縁膜をc-Si基板の裏面に形成する工程と、補助容量電極、ソース電極及び開口部を覆うように画素電極を形成する工程と、画素電極上に配向膜で覆う工程と、対向電極及び対向配向膜の有る対向透明基板を透明基板に貼る工程と、対向透明基板と透明基板との間に液晶を封入する工程とを備えたことを特徴とする液晶表示装置の製造方法。

【請求項12】 c-Si基板の表面にリセス及びFETマトリクスを形成する工程と、ソース電極をc-Si基板のFETのソースからc-Si基板のリセスの斜面まで形成する工程と、透明基板上に静電溶着によりc-Si基板の表面を固定する工程と、c-Si基板を裏面から薄板化してc-Si基板の表面のリセスを開口部とする工程と、c-Si基板の裏面に補助容量電極を形成する工程と、補助容量絶縁膜をc-Si基板の裏面に形成する工程と、画素電極が補助容量電極、ソース電極及び開口部を覆うように形成する工程と、画素電極上に配向膜で覆う工程と、対向電極及び対向配向膜の有る対向透明基板を透明基板に貼る工程と、対向透明基板と透明基板との間に液晶を封入する工程とを備えたことを特徴とする液晶表示装置の製造方法。

【請求項13】 リセス形成をFETマトリクス形成の後の工程であることを特徴とする請求項11または請求項12の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は透過型表示装置に関し、特に画素電極対応部に開口部を備えたc-Si基板を用いる液晶表示装置のFETの新規な構造に関する。

【0002】

【従来の技術】 表示装置の薄膜トランジスタは、ガラス基板上にプラズマCVD装置によりシリコン薄膜を形成した後、ガラス基板上のシリコン薄膜を加工して作成される。

【0003】 このようなCVD装置を用いてシリコン薄膜を形成する上述の薄膜トランジスタにおいて、薄膜形成工程での塵埃等により断線、短絡等の欠陥が大量に発生している。

【0004】 さらに、CVD装置により大面積基板上にシリコン薄膜を作成する場合、表示装置の大きさの拡大によって、CVD装置等の製造装置の大型化及びそれに

伴うシリコン薄膜の特性分布の不均一の増大を招く。

【0005】このように、CVD装置を用いてシリコン層を形成しているため、

(1) 欠陥の無い薄膜トランジスタマトリクスを得ることが困難である。

(2) 大面積化に伴い表示の不均一性が増大する。

(3) 表示装置の大型化に伴い製造装置の大型化を招く。

等の問題がある。

【0006】図5にプラズマCVD装置により作成されたアモルファスシリコン(a-Si)膜を用いた液晶表示装置のアクティブマトリクス基板の断面図を示す。

【0007】図5に示す如く、アクティブマトリクス型液晶表示装置のガラス基板1上に薄膜トランジスタが設けられており、図示していないが、その駆動回路は外付けされている。

【0008】薄膜トランジスタはノンドープのa-Si2と、高濃度層からなるドレイン3、ソース4及びゲート5とから構成されている。

【0009】ゲート5とa-Si2との間にはプラズマCVDにより作成された窒化シリコンによるゲート絶縁膜10が形成されている。

【0010】ソース4は窒化シリコン膜に設けられたコンタクトホールにより透明なITO製の画素電極6に接続されている。

【0011】このように、アモルファスシリコンを動作層に用いる場合、プラズマCVD工程等の塵埃に起因するシリコン膜の剥がれや絶縁膜、金属膜等による段差のために配線の断線、短絡が多発する。

【0012】このように点欠陥や線欠陥の無いアクティブマトリクス基板を形成することは困難である。

【0013】一方、アクティブマトリクス型液晶表示装置の基板材料として、単結晶シリコンが用いられた例はM. Hosokawa et al.: SID '81 Digest (1981) pp114. で報告されている。

【0014】しかし、この報告の液晶表示装置は画素電極下のシリコン基板の穴開けがなされていないため、反射型の液晶表示装置しか構成できない。

【0015】

【発明が解決しようとする課題】本発明はあらかじめFETマトリクスと駆動回路を形成したシリコン基板が形成されているc-Si基板をガラス基板に接着後、薄板化し、画素電極を形成することによって、高い生産性の透過型表示装置を提供するものである。

【0016】尚、本発明のc-Siは従来の気相成長させたシリコンに対して、液相成長させたシリコンを主として意味しているが、液相成長させた単結晶シリコンのみならず、溶かした金属を型に流し込んで固めた多結晶シリコン製のインゴットも意味している。

【0017】

【課題を解決するための手段】本発明の透過型表示装置は、ソース電極及び画素電極をそれぞれc-Si基板の上面、下面に形成している。

【0018】表面が(100)面のc-Si基板は、異方性エッチングすることにより、(100)面に対して35°から85°のテーパの開口を有している。

【0019】テーパ形成された開口部の側面にFETのソースと透過型表示装置の画素電極との間を接続する金属を蒸着している。

【0020】また、高い開口率を得るためにドレインとドレインラインを一致させ、又補助容量はFET形成部の裏面に形成、更にドレインラインは埋込み型として段差の少ない構造にしている。

【0021】加えて、FETのソース、ドレインの形成はセルフアライン(自己整合)で形成する。

【0022】

【作用】1. ソース形成後のシリコン基板をKOH溶液による異方性エッチングを行うとシリコン基板側面が平均約54°の角度を有するリセス(凹部)が得られる。

【0023】この角度を有する側面にソースと接続した金属膜が形成される。

【0024】このようにリセス形成されたシリコン基板はFET部の有る面をガラス基板に接着し、裏面からラップ、ポリッシュして薄板化する。

【0025】裏面には絶縁膜を形成し、シリコン基板の開口部側面の底面部を露出させた後、画素電極を形成する。

【0026】このようにして、上面のソース電極は開口部側面の金属膜を介して下面の画素電極に接続される。

【0027】2. 開口率を高める為にはFET部の面積を最小にすることが必要であるが、ドレインとドレインラインを一致共有することにより面積の低減を図った。

【0028】また、補助容量もFET形成部の裏面に形成し、補助容量電極による開口面積の減少を無くした。

【0029】3. アクティブマトリクス基板での断線、短絡の大部分はドレインラインとゲートラインの交差部、又はゲート電極部で発生している。

【0030】一つの要因は絶縁膜、金属膜の厚みに起因する段差である。この段差をなくするためにドレインラインは拡散或いはイオン注入によりソース、ドレインと同時に形成し、埋込み層とした。このことにより、交差部の段差はなくなった。

【0031】また、ゲートも多結晶シリコン(poly-Si)で形成し、熱的に酸化することによって、強固な安定した絶縁膜を形成した。

【0032】

【実施例】図1に本発明のFETマトリクスが形成されたc-Si基板をガラス基板に貼り付けたアクティブマトリクス基板の断面図を示す。

【0033】図1において、ガラス基板1上に、開口部とFETを有する薄板化されたc-Si7が、光透過率の高い接着剤8により固定されている。

【0034】c-Siは透過型表示装置のブラックマトリクスとして作用する一方、c-Siの存在しない、開口部は光の通過路となる。

【0035】また、図示していないがc-Si7の周辺部にはFETマトリクス駆動用の周辺駆動回路が設けられている。

【0036】さらに、液晶表示装置とする場合、c-Si10が接着されたガラス基板と対向ガラス基板とは約15μmのギャップをもって封着剤で封止され、その中に厚さ約5μmの液晶が封入される。

【0037】図1で、c-SiからなるFETは、自己整合的に形成された、厚さ10μmの不純物密度 $10^{13} \sim 10^{14} \text{ cm}^{-3}$ のn型層に不純物P(リン)を高濃度に加した不純物密度 $10^{18} \sim 10^{20} \text{ cm}^{-3}$ のn⁺型層のドレイン3及びソース4と、開口部の側面に設けられたAu製のソース電極9と、c-Siの熱酸化により形成された厚さ500Åの二酸化シリコン製のゲート絶縁膜20と、更にゲート絶縁膜上に形成された厚さ0.4μmの面抵抗20Ω/□のn⁺型多結晶シリコン製のゲート5とから構成されている。

【0038】FETの金属製のソース電極9はゲートの有るc-Si表面だけでなく、c-Siの開口部の側面にも形成され、c-Si裏面及び開口部を覆うITO製の画素電極に接続されている。

【0039】c-Siの厚さは数10μmであるにも関わらず、ソース電極が金属で構成されているとFETのソースと画素電極との間の抵抗が0.1Ω以下となり、30 電圧損失がほとんど生じない。

【0040】FETのドレインラインはn⁺型層のドレイン3と一体化されてc-Si上に形成されている。

【0041】そのため、アクティブマトリクス基板上に占める画素電極面積を増やすことができるので光源の光利用率が高まり、高輝度の液晶表示装置が得られる。

【0042】元々不透明なc-Si7の裏面に補助容量電極11が形成されているので、開口部の画素電極6の光透過率が減少することは無く、さらに補助容量電極を不透明であっても抵抗の低い金属で構成することが可能40 となる。

【0043】開口部はc-Si基板表面を約15μm、エッチングしてリセスを形成した後、それをガラス基板に接着剤により接着し、裏面から機械的・化学的に研磨してc-Si基板の厚みを約10μmにすることによって得られる。

【0044】開口部は透明なポリイミド樹脂よりなる接着剤8により充填されているため、従来技術と異なり、本発明は透過型表示装置を構成することができる。

【0045】全面がソース電極9に被覆されたc-Si 50

7の側面はテーパが形成されており、その結果、透明基板であるガラス基板1及びc-Si7と接着剤8との接触面積が広くなり両者の結合をより堅固なものにしている。

【0046】図2は本発明のFETマトリクスが形成されたc-Si基板をガラス基板に貼り付けたアクティブマトリクス基板の平面図である。

【0047】図2のFETの導電製の高いAu製のソース電極9は画素電極6の周囲に中空四角錐のような単結領域で画素電極に接続されるのでソースと画素電極との電気接触が円滑となり、液晶表示装置特有な交流信号の充放電の高速化が図れる。

【0048】画素電極が接続されるc-Si面側にc-Siの表面を略覆うようにAl製の補助容量電極11が形成されている。

【0049】また、画素電極は延長されて、c-Si上を覆うようにしているので、補助容量電極との間に液晶への充電量を高める補助容量を形成する。

【0050】図2はc-Si基板として単結晶シリコン基板を用い、その表面にMOS-FETマトリクスを形成した本発明の実施例の平面図を示す。

【0051】図2において、ドレインはドレインラインに包含されており、Au製のドレイン電極13を直上に有している。

【0052】そして、FETマトリクスの抵抗の低い金属製のドレイン電極13とソース電極9は同時に形成される。

【0053】また、ソース電極9に囲まれた画素電極6の内部が表示装置の画素として作用する。

【0054】ここで画素電極6はソース電極9上を覆うのみならず、平面領域としてドレインライン上及び上下位置として裏面のc-Si上の補助容量電極上をも覆っている。

【0055】当然ながら、ドレインラインはc-Si上に形成されているから、c-Si上の補助容量電極と画素電極との重畳面積は最大1画素分のFET及びドレインラインの面積に渡って調整することができる。

【0056】図2で、画素寸法を50μm×50μm、ゲートライン及びドレインラインの線幅を5μmにすると、開口率約70%（従来法の約2倍）を有する液晶表示装置用のアクティブマトリクス基板を構成することができる。

【0057】図3は単結晶シリコン基板のウェハプロセスを説明する断面工程図であり、図4はそれを薄板化して開口部及び画素電極を形成する工程を説明する断面工程図である。

【0058】一番目に図3にシリコン基板上にFETマトリクスとリセスを設ける製造断面工程図を示す。

【0059】まず、図3aは、単結晶製の(100)面のシリコン基板15上に1100℃の湿式熱酸化によ

り、緻密なゲート絶縁膜10が形成された状態を示している。

【0060】次に、ゲート絶縁膜10上に不純物が添加されたpoly-Si製のゲート5を形成する(図3b)。

【0061】続いて、ゲートが形成されているシリコン基板(またはc-Si)を再び熱酸化して、絶縁膜を成長させると共に活性化によりゲート抵抗を下げる(図3c)。さらにFETを形成するため、ゲートの両側に自己整合により、イオン注入して深さ500Å程度のドレイン3及びソース4を形成する(図3d)。

【0062】そして、透過型表示装置とするため、FETが形成されたc-Si上にアルカリ水溶液を用いた異方性エッチングにより、方形のリセス16を形成する(図3e)。

【0063】FETマトリクス作成後にリセスを形成する場合、エッチングに付随するアルカリ金属や無機不純物のシリコン基板内への拡散が避けられるので有用である。

【0064】リセス16はFETが形成されるシリコン基板の表面に対して、順テーパに形成される。

【0065】加えて、シリコン基板の表面から裏面に画素信号を伝達するため、熱酸化膜にコンタクトホールを形成した後、Auによりソース電極をソースからリセスの側面まで覆うように形成する(図3f)。

【0066】図3のFETマトリクス製造工程は半導体基板上で行われるものであるから、サブミクロンまでの微細加工が可能である。

【0067】二番目に図4は単結晶シリコン基板上にFETを設けた後、透明基板に貼り付けた本発明の液晶表示装置における表示電極形成工程の断面工程図である。

【0068】まず、図4aは、加工されたシリコン基板15が透明な接着剤8によりガラス基板1に接着されている状態を示す断面図である。

【0069】熱硬化している接着剤8は透明なポリイミド樹脂である。

【0070】あるいは、接着剤に代えて、ガラス基板とシリコン基板は真空中で1000V、350℃でガラス基板を-、シリコン基板を+にして静電溶着(陽極接合)により固着される。

【0071】次に先に形成されたリセスを光の透過し得る開口部とするため、ガラス基板1に接着されたシリコン基板15はゲートの反対側から機械的・化学的に研磨され、10μm程度に薄板化される(図4b)。

【0072】シリコン基板15の凹部の底面が除去されて、接着剤8に充填された開口部17がFETのゲートの有る面と反対側の表面に露出している。

【0073】続いて、全面に窒化シリコン(SiNx)製の保護膜18を設ける(図4c)。

【0074】それから、保護膜18にコンタクトホール

を形成した後、ソース電極と接触性の良い金属をソース電極上に形成する(図4d)。

【0075】また、Alのような金属製の補助容量電極を保護膜上に形成する。形成された補助容量電極は光を通しにくいゲートライン部の裏側を通して透過型表示装置の外部に取り出されている。

【0076】最後に、再び保護膜を形成した後、FETと反対側の表面に厚さ0.1μmのITOを膜付けした後、エッチングして透明な画素電極6をソース電極9と電気的に接続されるように保護膜上に形成する(図4e)。

【0077】このように形成されたアクティブマトリクス基板を通常の液晶表示装置の製造方法によってパネル化することにより、駆動回路を一体化したアクティブマトリクス型液晶表示装置をほぼ無欠陥で得ることが出来る。

【0078】

【発明の効果】

1. ガラス基板にCVD法等で薄膜半導体膜を形成してから薄膜トランジスタを形成する方法ではなく、あらかじめ固体(単結晶あるいは多結晶)半導体基板上にアクティブマトリクス及び周辺駆動回路を形成し、その後、薄板化するために欠陥の無いアクティブマトリクスの形成が可能となり、液晶表示装置の製造歩留まりは飛躍的に向上する。

【0079】2. FETが自己整合により形成され、ドレインがドレインラインに包含され、補助容量電極が不透明なc-Si上に形成されているので、開口率が高くすることができる。

【0080】3. 光電効果の大きなc-Siであっても、金属膜により表面が覆われているので光を浴びる液晶表示装置として困難は生じない。

【0081】4. ガラス基板と液晶とは約10μmのポリイミド層を介して接することになり、ガラスからのアルカリイオンの影響はほとんど受けない。

【0082】この為、低価格の青板ガラスが使える利点もある。

【0083】5. 2000×2000画素の超高精細ディスプレイが実現可能となる。

【0084】このように本発明はアクティブマトリクス型液晶表示装置の製造に大きく貢献するものである。

【図面の簡単な説明】

【図1】本発明の液晶表示装置のアクティブマトリクス基板の断面図である。

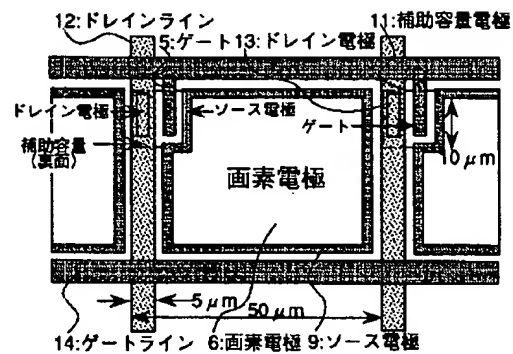
【図2】本発明の液晶表示装置のアクティブマトリクス基板の平面図である。

【図3】半導体基板を利用した本発明のFETの製造工程図である。

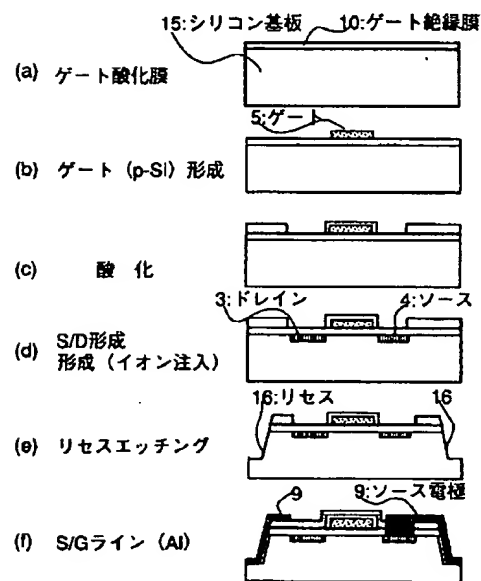
【図4】本発明のFETのガラス基板への接着工程図である。

*10 18 保護膜

【図2】

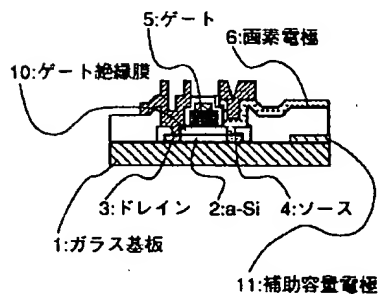


【図 3】

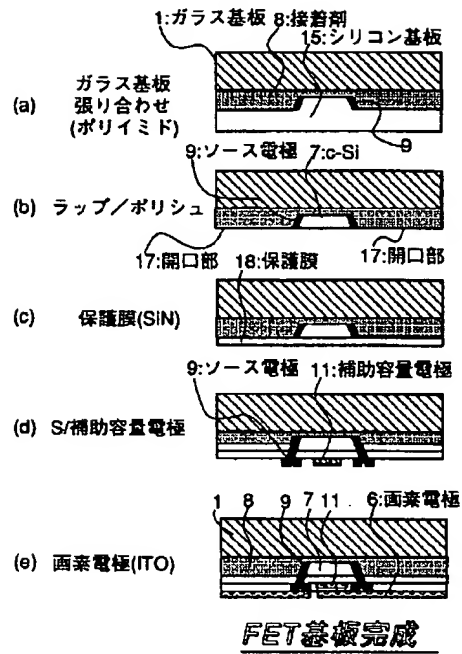


ウエハ完威

【図 5】



【図4】



フロントページの続き

(51)Int.Cl.⁵
H01L 29/784

識別記号 庁内整理番号 FI

技術表示箇所